

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-312253

(43)Date of publication of application : 02.12.1997

(51)Int.Cl.

H01L 21/027

G03F 7/20

G03F 7/20

(21)Application number : 08-129464

(71)Applicant : HITACHI LTD

HITACHI COMPUT ENG CORP LTD

(22)Date of filing : 24.05.1996

(72)Inventor : NISHIKAWA HIROYASU

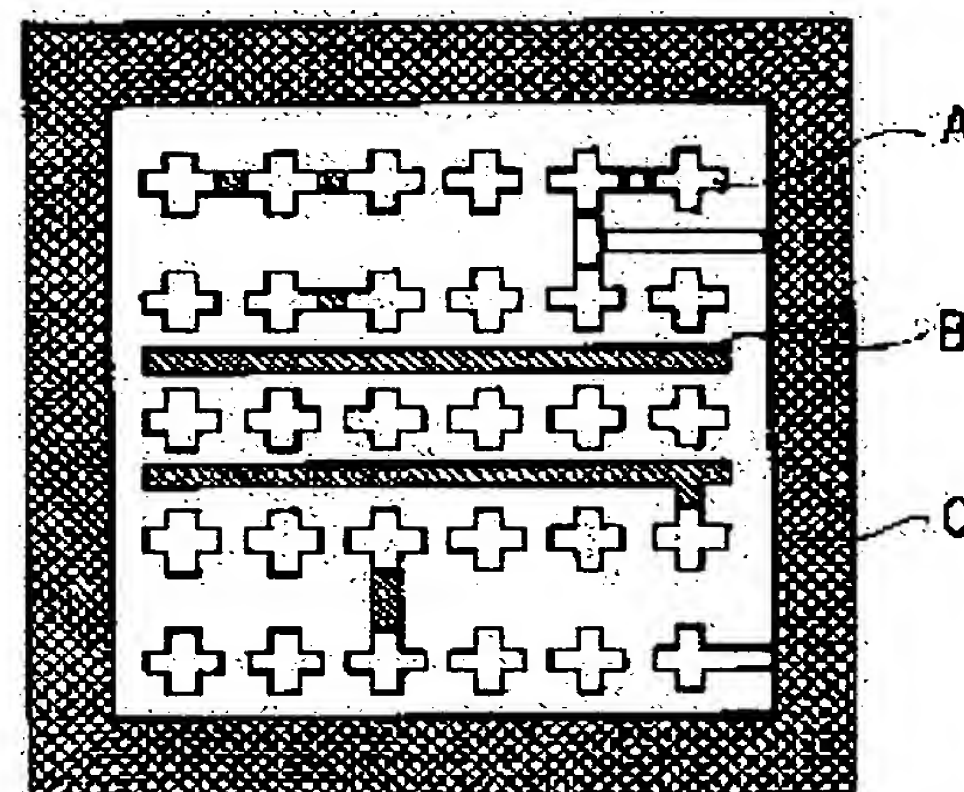
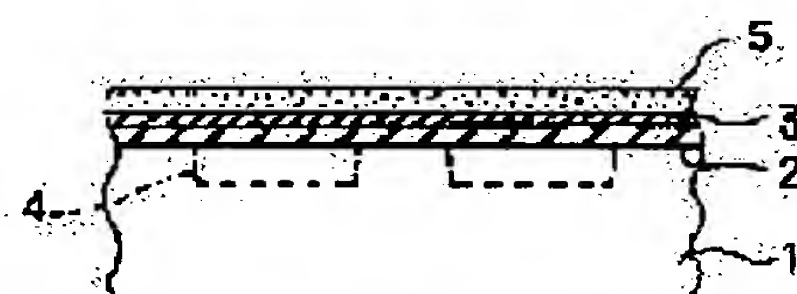
SASAKI KEIJI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technology which shortens a drawing time and improves the throughput in the case of processing a desired thin film formed on a semiconductor substrate by electron beam lithography.

SOLUTION: After coating a conductor film 3 with electron beam resist 5, the electron beam resist 5 in a pattern A area, which is common to a plurality of product types, is irradiated with electron beams, and the electron beam resist 5 in the pattern B which differ by product type is irradiated with electron beams. Furthermore, the electron beam resist 5 in a pattern C area to be batch-drawn is irradiated with electron beams.



LEGAL STATUS

[Date of request for examination] 01.04.2003

[Date of sending the examiner's decision of rejection] 05.07.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-312253

(43)公開日 平成9年(1997)12月2日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/027			H 0 1 L 21/30	5 4 1 M
G 0 3 F 7/20	5 0 4		G 0 3 F 7/20	5 0 4
	5 2 1			5 2 1

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21)出願番号 特願平8-129464

(22)出願日 平成8年(1996)5月24日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233011

日立コンピュータエンジニアリング株式会
社

神奈川県秦野市堀山下1番地

(72)発明者 西川 博康

神奈川県秦野市堀山下1番地 日立コンピ
ュータエンジニアリング株式会社内

(72)発明者 佐々木 圭治

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74)代理人 弁理士 秋田 収喜

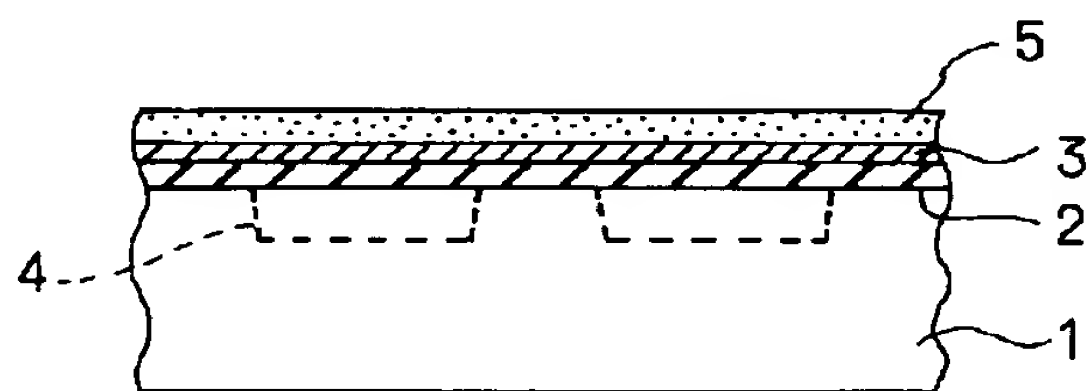
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 半導体基板上に形成した所望の薄膜を電子線リソグラフィによって加工する場合、描画時間を短縮してスループットの向上を図ることが可能な技術を提供する。

【解決手段】 導電膜3に電子線レジスト5を塗布した後、複数の品種共通のパターンAの領域の電子線レジスト5に電子線を照射し、複数の品種ごとに異なるパターンBの領域の電子線レジスト5に電子線を照射し、さらに一括描画するパターンCの領域の電子線レジスト5に電子線を照射することにより描画を行う。

図 1



【特許請求の範囲】

【請求項1】 半導体基板上に形成した所望の薄膜を電子線リソグラフィによって所望のパターンに加工する半導体装置の製造方法であって、前記薄膜に電子線レジストを塗布する工程と、複数の品種共通のパターンの領域の電子線レジストに電子線を照射する工程と、複数の品種の各々に独自のパターンの領域の電子線レジストに電子線を照射する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板上に形成した所望の薄膜を電子線リソグラフィによって所望のパターンに加工する半導体装置の製造方法であって、前記薄膜に電子線レジストを塗布する工程と、複数の品種共通のパターンの領域の電子線レジストに電子線を照射する工程と、複数の品種ごとに異なるパターンの領域の電子線レジストに電子線を照射する工程と、一括描画するパターンの領域の電子線レジストに電子線を照射する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】 前記電子線レジストに照射する電子線は、論理データを所望のパターンに変換した描画データに基づいて行われることを特徴とする請求項1または2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に、半導体基板上に形成した所望の薄膜を電子線リソグラフィによって所望のパターンに加工する半導体装置の製造方法に適用して有効な技術に関するものである。

【0002】

【従来の技術】例えばゲートアレイ、スタンダードセルのようなLSIで代表される最近の半導体装置は、より高集積化、多機能化が要求されるに伴い、プロセス工程はますます複雑化する傾向にある。

【0003】多くのプロセス工程の中でも特にリソグラフィ工程は、全ての半導体装置を製造する場合の基本的なプロセスになっており、半導体基板上に形成される表面保護膜、多層配線相互間を絶縁する層間膜などを構成する絶縁膜や、配線、多層配線などを構成する導電膜を含む各種薄膜を微細パターンに加工する上で重要なプロセスになっている。特に、ランダムな配線の多いゲートアレイを製造する場合には、配線を所望のパターンに加工する上で欠かせない技術になっている。

【0004】そのようなリソグラフィにおいて、LSIの製造では露光媒体として特に紫外線を用いるフォトリソグラフィが普及している。これは、半導体基板上に形成した薄膜にフォトレジストを塗布し、このフォトレジストにマスクパターンを介して紫外線を照射した後、現像処理を施してマスクパターンに相当したフォトレジストマスクを形成して、このフォトレジストマスクを用

いてエッチング処理を施して、薄膜をマスクパターンに対応した微細パターンに加工するものである。

【0005】しかしながら、露光媒体として紫外線を用いるフォトリソグラフィでは、紫外線の波長によって加工精度が決まってしまうので、より高い加工精度を実現するには露光媒体を変えなければならない。

【0006】このような観点から、露光媒体として電子線(Electron Beam)を用いるようにした、電子線リソグラフィが出現してきている。この電子線リソグラフィを実施するには、電子線直接描画装置(以下、単にEB描画装置と称する)を使用して、電子銃から発生させた電子線を偏向させて、電子線レジストに照射することが行われる。

【0007】このようなEB描画装置を使用したEB描画技術に関しては、例えば、(株)オーム社発行、「LSIプロセス工学」、P122～P127に、あるいは、(株)オーム社発行、「電子情報通信ハンドブック」、昭和63年3月30日発行、P732～P734に記載されている。

【0008】このようなEB描画技術においては、被加工物である薄膜に前記のようなフォトレジストに代えて電子線レジストを塗布した後、この電子線レジストに直接に電子線を照射することにより、レジストマスクを形成することが行われる。電子線の照射は、論理データを所望のパターンに変換した描画データに基づいて行われる。

【0009】このEB描画技術によれば、分解能の高い電子線により電子線レジストを直接に露光するので、高い解像度のレジストマスクが得られるため、サブ μm オーダーの高い加工精度が実現できるようになる。このEB描画技術は、主に、開発試作段階、あるいは品種展開段階の多品種少量生産を目的とする用途に適用されている。

【0010】

【発明が解決しようとする課題】前記したようなEB描画技術を利用して、半導体基板上に形成した各種薄膜を加工する場合、露光媒体として用いる電子線は偏向領域が狭いという特徴を有している。このため、半導体基板上に塗布されている電子線レジストに電子線を照射する場合、電子線レジストの塗布領域が広いので全体に電子線を照射する時間が長くなり、いわゆる描画時間が長くなるため、スループットが低下するという問題がある。

【0011】今後ますます半導体基板の大口径化の要求が高まっていることを考慮すると、そのような傾向はより著しくなる。

【0012】本発明の目的は、半導体基板上に形成した所望の薄膜を電子線リソグラフィによって加工する場合、描画時間を短縮してスループットの向上を図ることが可能な技術を提供することにある。

【0013】本発明の前記ならびにその他の目的と新規

な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記の通りである。

【0015】(1) 本発明の半導体装置の製造方法は、半導体基板上に形成した所望の薄膜を電子線リソグラフィによって所望のパターンに加工する半導体装置の製造方法であって、前記薄膜に電子線レジストを塗布する工程と、複数の品種に共通のパターンの領域の電子線レジストに電子線を照射する工程と、複数の品種の各々に独自のパターンの領域の電子線レジストに電子線を照射する工程とを含んでいる。

【0016】(2) 本発明の半導体装置の製造方法は、半導体基板上に形成した所望の薄膜を電子線リソグラフィによって所望のパターンに加工する半導体装置の製造方法であって、前記薄膜に電子線レジストを塗布する工程と、複数の品種共通のパターンの領域の電子線レジストに電子線を照射する工程と、複数の品種ごとに異なるパターンの領域の電子線レジストに電子線を照射する工程と、一括描画するパターンの領域の電子線レジストに電子線を照射する工程とを含んでいる。

【0017】上述した(1)の手段によれば、本発明の半導体装置の製造方法は、薄膜に電子線レジストを塗布する工程と、複数の品種共通のパターンの領域の電子線レジストに電子線を照射する工程と、複数の品種の各々に独自のパターンの領域の電子線レジストに電子線を照射する工程とを含んでいるので、半導体基板上に形成した所望の薄膜を電子線リソグラフィによって加工する場合、描画時間を短縮してスループットの向上を図ることが可能となる。

【0018】上述した(2)の手段によれば、本発明の半導体装置の製造方法は、薄膜に電子線レジストを塗布する工程と、複数の品種共通のパターンの領域の電子線レジストに電子線を照射する工程と、複数の品種ごとに異なるパターンの領域の電子線レジストに電子線を照射する工程と、一括描画するパターンの領域の電子線レジストに電子線を照射する工程とを含んでいるので、半導体基板上に形成した所望の薄膜を電子線リソグラフィによって加工する場合、描画時間を短縮してスループットの向上を図ることが可能となる。

【0019】以下、本発明について、図面を参照して実施形態とともに詳細に説明する。

【0020】なお、実施形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0021】

【発明の実施の形態】

(実施形態) 図1乃至図5は本発明の実施形態による半

導体装置の製造方法を示すもので、一例としてゲートアレイを製造する場合に例をとって説明する。以下、本実施例による半導体装置の製造方法を順を追って説明する。

【0022】まず、図1の断面図に示すように、例えば酸化膜(SiO_2)のような絶縁膜2を介して例えばアルミニウム合金のような導電膜3を形成した、例えばシリコン単結晶からなる半導体基板1を用意する。なお、半導体基板1には既にゲートアレイを構成する複数の回路素子4が形成されているものとする。次に、所望の配線パターンを形成するために、導電膜3に電子線レジスト5を塗布する。電子線レジスト5は一例としてポジタイプのものを用いるものとする。

【0023】続いて、図2の断面図に示すように、形成すべき配線パターンに相当したマスクパターンを形成すべく、EB描画装置(例えば日立製HL-700D)6を用いて、電子線レジスト5に対して電子線を矢印のように照射することにより、描画を行う。

【0024】図6は、このように電子線照射を行う場合の本発明における描画原理を説明するものである。

【0025】まず、図6(a)に示すように、ゲートアレイの製造時に、所望の配線パターンを形成するのに必要な描画データを用意する。これらの描画データは、半導体基板1上に塗布した電子線レジスト5に電子線を照射する場合に必要であり、予め論理データに基づいて所望の配線パターンとなるように変換されている。

【0026】次に、図6(b)に示すように、描画データを、配線の共通部分と可変部分のパターンにおいて一括描画する(できる)パターンA、論理により個々に結線を必要とする描画パターンである、品種ごとに異なるパターンB、品種共通のパターンCに分ける。

【0027】続いて、図6(c)に示すように、各パターンA、B、Cに分けた描画データを、EB描画装置6に入力することにより、図2のように電子線を照射して描画を行う。これによって、電子線レジスト5には図7に示したような各パターンA、B、Cが描画される。

【0028】次に、図3の断面図に示すように、半導体基板1を現像液に浸して現像処理を施すことにより、電子線レジスト5は感光した部分が除去されて未感光部分のみが残された、マスクパターンに相当したレジストパターン7が形成される。

【0029】続いて、図4の断面図に示すように、レジストパターン7をマスクとして用いてドライエッチング処理などのエッチング処理を施すことにより、導電膜3の不要部分を除去する。

【0030】続いて、図5の断面図に示すように、レジストパターン7を除去することにより、所望の配線パターン8を形成したゲートアレイを製造することができる。

【0031】このような半導体装置の製造方法によれ

ば、半導体基板1上に形成した導電膜3を加工する場合、露光媒体として用いる電子線は偏向領域が狭いという特徴を有していても、一括描画及び部分描画を組み合わせることで描画を行うことにより、電子線レジスト5の塗布領域が広くとも、全体に電子線を照射する時間は長くない。このため、今後ますます半導体基板1が大口径化に移行しても、不都合はなくなる。このような利点は、特に、開発試作段階、あるいは品種展開段階の多品種少量生産を目的とする用途に適用した場合に大きくなる。

【0032】以上のような本実施形態による半導体装置の製造方法によれば次のような効果が得られる。

【0033】導電膜3に電子線レジスト5を塗布した後、一括描画するパターンAの領域の電子線レジスト5に電子線を照射し、複数の品種ごとに異なるパターンBの領域の電子線レジスト5に電子線を照射し、さらに複数の品種共通のパターンCの領域の電子線レジスト5に電子線を照射することにより描画を行うので、半導体基板上に形成した所望の薄膜を電子線リソグラフィによって加工する場合、描画時間を短縮してスループットの向上を図ることが可能となる。

【0034】以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

【0035】例えば、前記実施形態では一例としてゲートアレイを製造する場合に例をとってその配線パターンを形成する場合に例をあげて説明したが、ゲートアレイに限らず他の半導体装置に対しても適用することができる。

【0036】また、導電膜を加工処理して配線パターンを形成する例に限らず、絶縁膜を所望の形状に加工処理する場合にも、同様に適用することができる。

【0037】さらに、導電膜あるいは絶縁膜を所望のパターンで残す場合に限らず、所望のパターンで除去する場合にも、同様に適用することができる。

【0038】さらにまた、前記実施形態ではレジストとしてはポジタイプを用いる例で示したが、ネガタイプを用いるようにしても良い。

*【0039】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体装置の技術に適用した場合について説明したが、それに限定されるものではない。本発明は、少なくともEB描画装置を用いて半導体装置を製造する条件のものには適用できる。

【0040】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

【0041】導電膜に電子線レジストを塗布した後、一括描画するパターンの領域の電子線レジストに電子線を照射し、複数の品種ごとに異なるパターンの領域の電子線レジストに電子線を照射し、さらに複数の品種共通のパターンの領域の電子線レジストに電子線を照射することにより描画を行うので、半導体基板上に形成した所望の薄膜を電子線リソグラフィによって加工する場合、描画時間を短縮してスループットの向上を図ることが可能となる。

20 【図面の簡単な説明】

【図1】本発明の実施形態による半導体装置の製造方法の一工程を示す断面図である。

【図2】本発明の実施形態による半導体装置の製造方法の他の工程を示す断面図である。

【図3】本発明の実施形態による半導体装置の製造方法のその他の工程を示す断面図である。

【図4】本発明の実施形態による半導体装置の製造方法のその他の工程を示す断面図である。

30 【図5】本発明の実施形態による半導体装置の製造方法のその他の工程を示す断面図である。

【図6】本発明の実施形態による半導体装置の製造方法における描画原理を示すもので、(a)乃至(c)は説明図である。

【図7】本発明の実施形態による半導体装置の製造方法における描画原理を示す概念図である。

【符号の説明】

1…半導体基板、2…絶縁膜、3…導電膜、4…回路素子、5…電子線レジスト、6…EB描画装置、7…レジストパターン、8…配線パターン。

*

【図1】

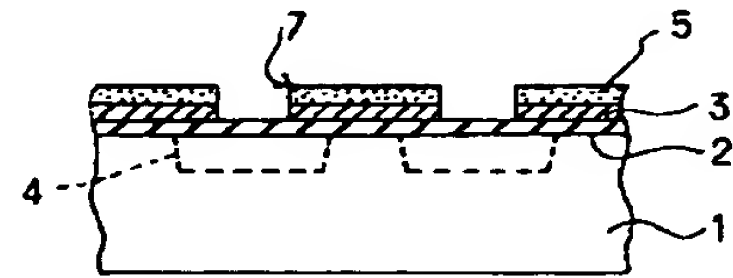
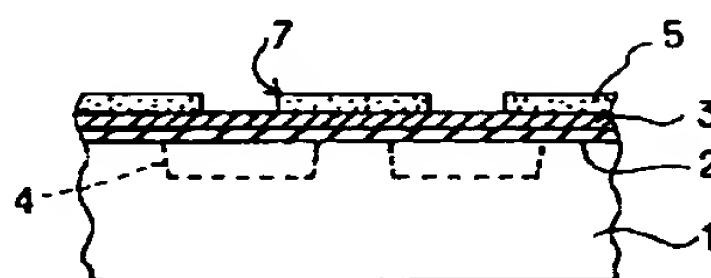
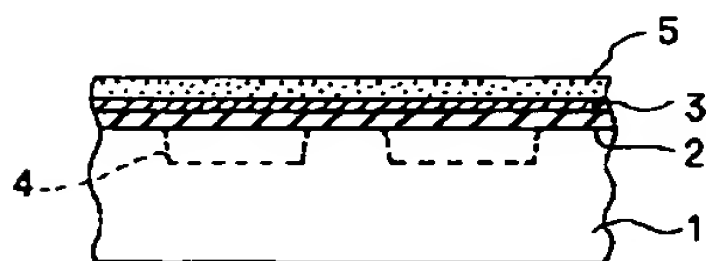
【図3】

【図4】

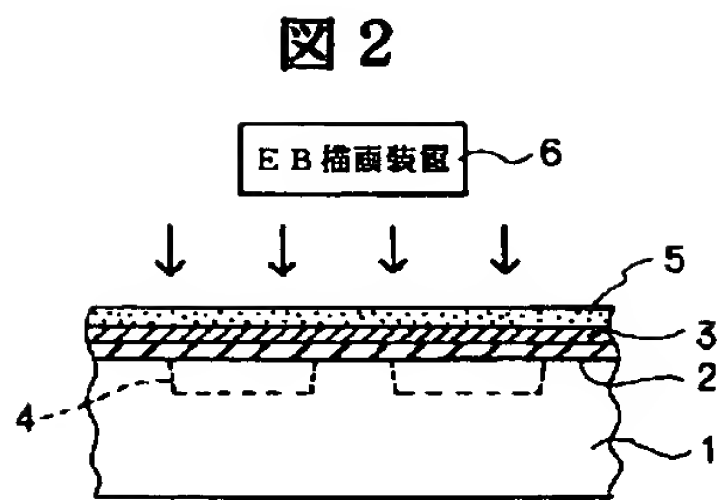
図1

図3

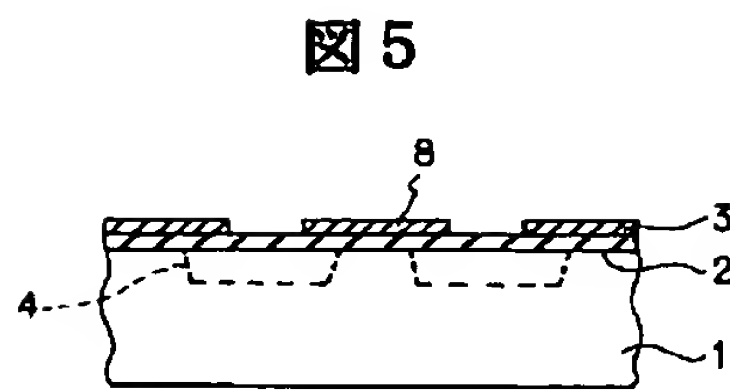
図4



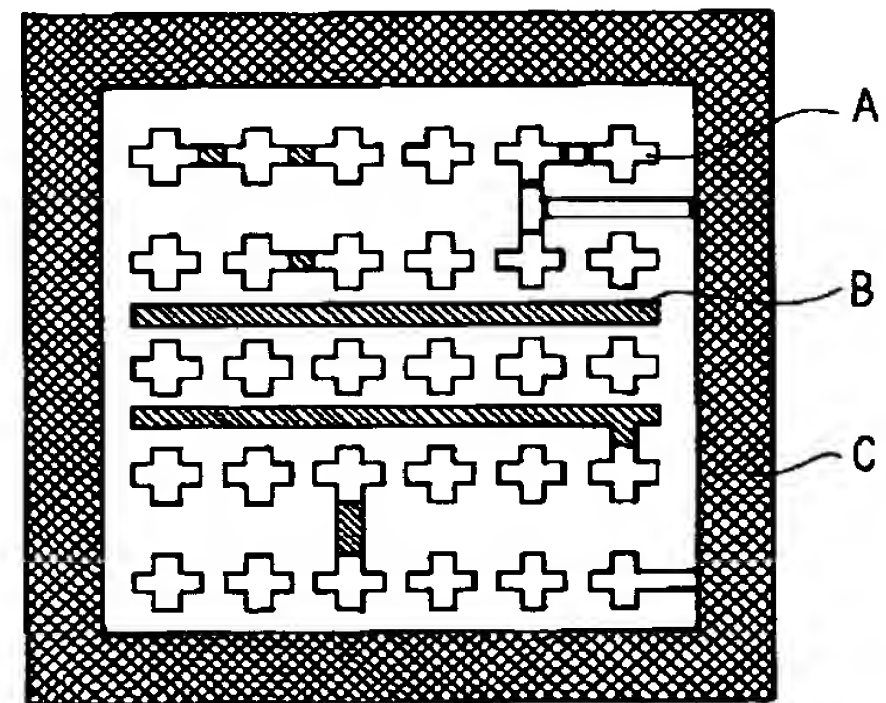
【図2】



【図5】



【図7】

図 7

【図6】

図 6